

JP2004247956

Publication Title:

CHARGE-REUSING TYPE SIGNAL LINE CHARGING/DISCHARGING CIRCUIT

Abstract:

Abstract of JP2004247956

PROBLEM TO BE SOLVED: To provide a charge-reusing type signal line charging/discharging circuit capable of maintaining the same activity as the case of CMOS logics.

SOLUTION: In the charge-reusing type signal line charging/discharging circuit, when data change from the value of current data and that of the last data, a signal line is connected to a charge-reusing type power supply for charging or discharging the signal line. The signal line is connected to a GND and a VCC when the data do not change and are set to "00" and when the data do not change and are set to "11", respectively.

COPYRIGHT: (C)2004,JPO&NCIP

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-247956

(P2004-247956A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int. Cl.⁷

H03K 19/20

F1

H03K 19/20

テーマコード(参考)

5J042

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21) 出願番号 特願2003-35562 (P2003-35562)
(22) 出願日 平成15年2月13日(2003.2.13)

(71) 出願人 000004226
日本電信電話株式会社
東京都千代田区大手町二丁目3番1号
(74) 代理人 100070150
弁理士 伊東 忠彦
(72) 発明者 中田 俊司
東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内
(72) 発明者 門 勇一
東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内
(72) 発明者 森田 博文
東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内
Fターム(参考) 5J042 BA19 CA08 CA15 CA22 CA26
CA27 DA02

(54) 【発明の名称】 電荷再利用型信号線充放電回路

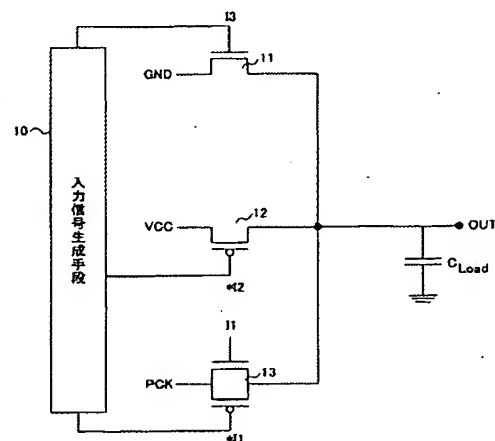
(57) 【要約】

【課題】 CMOS論理の場合と同じ活性率を維持することを可能にする電荷再利用型信号線充放電回路を提供する。

【解決手段】 本発明は、現在のデータの値と一つ前のデータの値から、データが変化する時に、信号線を電荷再利用型電源に接続し、信号線の充電または、放電を行い、データが変化せずに、「00」の場合には、信号線をGNDに接続し、データが変化せずに「11」の場合には、信号線をVCCに接続する。

【選択図】 図1

本発明の原理構成図



【特許請求の範囲】

【請求項1】

電荷再利用を行うことにより低エネルギー動作を行う電荷再利用型信号線充放電回路であって、
接地電源GNDと、
電源電圧VCCと、
パワークロックPCKと、
前記接地電源GNDと出力端子OUTに接続される第1のトランジスタと、
前記電源電圧VCCと前記出力端子OUTに接続される第2のトランジスタと、
前記パワークロックPCKと前記出力端子に接続される第3のトランジスタと、を有し、
現在のデータの値と一つ前のデータの値を記憶し、データが変化するときには、前記第3のトランジスタがONとなり、前記パワークロックPCKと前記出力端子OUTが接続され、データが変化せずに、「00」の場合には、前記第1のトランジスタがONとなり、前記接地電源GNDと前記出力端子OUTが接続され、データが変化せずに「11」の場合には、前記第2のトランジスタがONとなり、前記電源電圧VCCと前記出力端子OUTが接続されることを特徴とする電荷再利用型信号線充放電回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電荷再利用型信号線充放電回路に係り、特に、信号線充放電回路において、電荷再利用を行うことにより低エネルギー動作を実現するための電荷再利用型信号線充放電回路に関する。

【0002】

【従来の技術】

従来知られている、CMOS論理の信号線の充放電の動作を図8に示す。同図では、CMOSのインバータを用いて充放電を行う例を示しており、A1～A8は、出力データの例を示している。同図において、A1、A2、A3、A4、A5、A6、A7、A8として、「10111000」の時の波形を示している。次に、この充放電を電荷再利用型電源を用いて動作させる場合の例を図9に示す。また、図9の動作を実現させるための回路を図10に示す。図10に示す回路において、データが「1」の時には、I1=1として、電荷再利用型電源からのパワークロックPCKを出力端子OUTに接続する。データが「0」の時には、I1=0としてGNDを出力端子OUTに接続する。

【0003】

断熱論理においては、充電した電荷を再び回収するために、消費電力の削減が実現できるという利点がある（例えば、非特許文献1参照）。

【0004】

【非特許文献1】

W. C. Athas, J. G. Koller and L. J. Svensson, "An Energy-Efficient CMOS Line Driver Using Adiabatic Switching", University of Southern California, Information Science Institute, ACMOS-TR-2 (1993).

【0005】

【発明が解決しようとする課題】

しかしながら、データの活性率が非常に小さい場合に、CMOS論理では、状態を変化させないために、エネルギーを消費しないのに対して、従来の断熱論理では、「1」が連続する場合において、CMOS論理では変化しなくとも良いのに対し、図9に示すように、充放電を行うために、わずかではあるがエネルギーを消費してしまうという問題がある。

【0006】

本発明は、上記の点に鑑みなされたもので、CMOS論理の場合と同じ活性率を維持する

ことが可能な電荷再利用型信号線充放電回路を提供することを目的とする。

【0007】

【課題を解決するための手段】

図1は、本発明の原理構成図である。

【0008】

本発明は、電荷再利用を行うことにより低エネルギー動作を行う電荷再利用型信号線充放電回路であって、

接地電源GNDと、

電源電圧VCCと、

パワークロックPCKと、

接地電源GNDと出力端子OUTに接続される第1のトランジスタ11と、

電源電圧VCCと出力端子OUTに接続される第2のトランジスタ12と、

パワークロックPCKと出力端子に接続される第3のトランジスタ13と、を有し、

現在のデータの値と一つ前のデータの値を記憶し、データが変化するときには、第3のトランジスタ13がONとなり、パワークロックPCKと出力端子OUTが接続され、データが変化せずに、「00」の場合には、第1のトランジスタ11がONとなり、接地電源GNDと出力端子OUTが接続され、データが変化せずに「11」の場合には、第2のトランジスタ12がONとなり、電源電圧VCCと出力端子OUTが接続される。

【0009】

なお、第1、第2、第3のトランジスタは、I3、I2、I1の入力信号を有しており、I3、I2、I1の信号は、入力信号生成手段10で生成される。

【0010】

また、本発明の入力信号生成手段10は、D-FF（Dフリップフロップ）と組み合わせ論理回路で構成される。

【0011】

上記のように、本発明では、各トランジスタのゲートへの入力信号をデータに基づいて生成する。これにより、信号線充放電回路では、データが変化する時のみ、パワークロックPCKの信号と出力端子OUTが接続されるため、データが「11」という1が連続する場合に、従来のように、PCKの電圧を下げてからまた上げるという動作を行う必要がない。

【0012】

【発明の実施の形態】

以下、図面と共に本発明の実施の形態を説明する。

【0013】

図2は、本発明の一実施の形態における電荷再利用型信号線充放電回路の構成を示す。同図に示す充放電回路は、出力端子OUTに対して、電荷再利用型電源からの出力電圧パワークロックPCKがトランジスタ13を介して、また、電源電圧VCCがトランジスタ12を介して、また、接地電圧GNDがトランジスタ11を介して接続されている。

【0014】

入力信号生成手段（以下に示すD-FFと組み合わせ論理回路）から、パワークロックPCKと出力端子OUTを接続するトランジスタ13、電源電圧VCCと出力端子OUTを接続するトランジスタ12、接地電圧GNDと出力端子を接続するトランジスタ11に入力される信号は、それぞれI1、I2、I3である。

【0015】

図3は、本発明の一実施の形態におけるD-FFを示す。同図に示すD-FFは、上記のトランジスタ11、12、13のゲートに入力される信号を生成する入力信号生成手段の一部として機能する。

【0016】

D-FFは、トランジスタ11～13への入力信号を生成するために用いられる。同図では、D-FF（Dフリップフロップ）は、現在のデータ（状態D1）と一つ前のデータ（

状態D2)の値を記憶する2つのD-FFを示している。また、当該D-FFのD1、D2によりI1、I2、I3を生成する組み合わせ論理回路の構成を図4に示す。

【0017】

図4に示す論理回路は、1つのXOR回路21と、1つのNOT回路22、及び2つのAND回路23、24から構成され、XOR回路21は、D1、D2からの信号の排他的論理和をとり、I1としてトランジスタ13のゲートに出力する。NOT回路22は、XOR回路21からの信号のNOTをとり、AND回路23へ出力する。AND回路23は、D1からの信号とNOT回路22からの出力のANDを取りI2を生成する。トランジスタ12には、このI2の反転信号*I2を入力する。AND回路24は、

【0018】

【数1】

$\overline{D1}$

の出力とNOT回路22の出力とのANDを取り、I3としてトランジスタ11のゲートに出力する。

【0019】

図3において、現在のデータがD1、一つ前のデータがD2の状態を示している。D1、D2の値が、「10」または、「01」の場合に、I1、I2、I3の状態を「100」として、出力端子OUTと、パワークロックPCKのみを接続する。D1、D2の値が、「11」の場合に、I1、I2、I3の状態を「010」として、出力端子OUTと、電源電圧VCCのみを接続する。D1、D2の値が「00」の場合に、I1、I2、I3の状態を「001」として、出力端子OUTと、接地電圧GNDのみを接続する。

【0020】

図5は、本発明の一実施の形態における動作を説明するための図である。

【0021】

以下、図5を用いて動作を詳細に説明する。以下では、「10111000」という信号を出力する場合を考える。信号線は、初期状態として、接地電圧GND電位であり、従って、初期データは「0」とであるとする。

【0022】

まず、領域Aの動作を説明する。データの「1」を送信するので、D1=1であり、また、1つ前のデータは、初期状態「0」であるので、D2=0であり、D1D2は、「10」となり、よって、I1=1となり、出力端子OUTがパワークロックPCKに接続され、出力電圧がPCKに同期して上昇する。

【0023】

次に、領域Bの動作を説明する。データの「0」を送信するので、D1=0であり、また1つ前のデータは、「1」なので、D2=1であるから、D1D2は、「01」となり、よって、I1=1となり、出力がパワークロックPCKに接続され、出力電圧がPCKに同期して下降する。

【0024】

領域Cでは、データの「1」を送信するので、D1D2は「10」となり、よってI1=1となり、出力がパワークロックPCKに接続され、出力電圧がパワークロックPCKに同期して上昇する。

【0025】

領域Dでは、データの「1」を送信するので、D1D2は「11」となり、I2=1となり、出力端子OUTと電源電圧VCCが接続されて、出力電圧がVCCを保持する。

【0026】

領域Eでは、一つ前のデータが「0」であり、現在「0」のデータを送信するので、D1D2は「00」となり、I3=1となり、出力端子OUTと接地電圧GNDが接続されて

、出力電圧がGNDを保持する。

【0027】

図6は、本発明の一実施の形態における異なるデータを送信する場合の動作例を示す。同図は、異なるデータ「10100010」を送信する場合を示しているが、上記の図5と同様にデータを転送することができる。

【0028】

上記のように、本発明においては、データが変化するときのみ、PCKの信号と出力端子OUTが接続されるために、「11」のように「1」が連続する場合に、従来のようにPCKの電圧を下げてから上げるという必要がないという利点がある。

【0029】

また、上記の実施の形態では、入力信号生成手段として、D-FFを用いた例を示したが、この回路に限定されるものではない。

【0030】

以下に、従来の方式と本発明の対比を述べる。

【0031】

従来の方式では、「10111000」というデータの場合に、図9のように、「1」の出現回数分（この場合は4回）だけ充放電する必要があったが、本発明では、CMOS論理の場合と同じ活性率を維持することが可能である。図5においては、「0」から「1」へと変化する回数は、2回である。よって、図7に示すように、消費電力が1/2となることが分かる。

【0032】

また、本発明は、図5により、図9に示す従来の回路よりも1/2倍低速な、PCKを用いればよいことがわかり、電荷の回収がより効率的に行うことができるという利点がある。

【0033】

なお、本発明は、上記の実施の形態に限定されることなく、特許請求の範囲内において、種々変更・応用が可能である。

【0034】

【発明の効果】

上述のように、本発明によれば、外部からの入力データが変化する時のみ、パワークロックPCKの信号と出力端子が接続されるため、データが「11」という「1」が連続する場合にも、パワークロックの電圧を下げてからまた上げるという必要がなく、消費電力を低減することができる。これによりCMOS論理の場合と同じ活性率を維持することができる。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】本発明の一実施の形態における回路構成図である。

【図3】本発明の一実施の形態におけるD-FFの構成を示す。

【図4】本発明の一実施の形態におけるD-FFのD1、D2よりI1、I2、I3を生成する組み合わせ論理回路の構成図である。

【図5】本発明の一実施の形態における動作を説明するための図である。

【図6】本発明の一実施の形態における異なるデータを送信する場合の動作例である。

【図7】本発明の回路と従来の方式の対比を示す図である。

【図8】CMOS論理の信号線の充放電の動作例である。

【図9】電荷再利用型電源を用いた動作例である。

【図10】従来の方式の回路構成図である。

【符号の説明】

10 入力信号生成手段

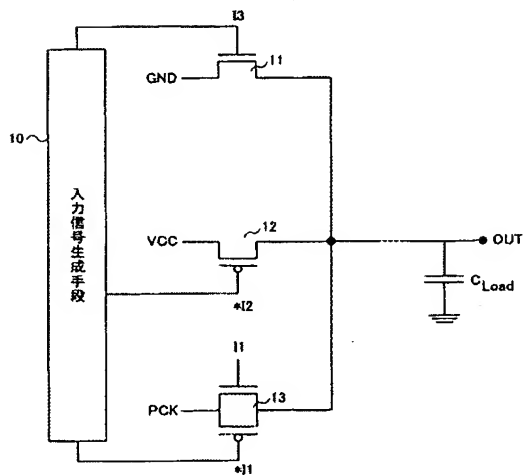
11 第1のトランジスタ、トランジスタ

12 第2のトランジスタ、トランジスタ

13 第3のトランジスタ、トランジスタ
 CK クロック
 GND 接地電圧
 VCC 電源電圧
 PCK パワー-clock
 OUT 出力端子
 21 XOR回路
 22 NOT回路
 23 AND回路
 24 AND回路
 I1, I2, I3 トランジスタゲートへの入力信号
 * I1 I1の反転信号
 * I2 I2の反転信号

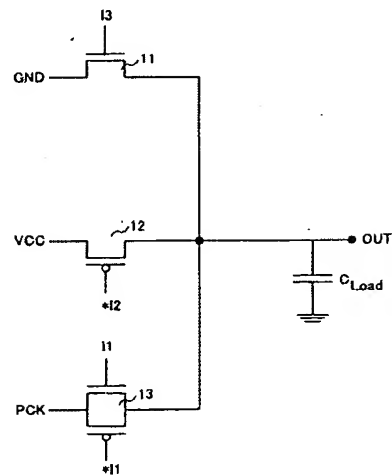
【図1】

本発明の原理構成図



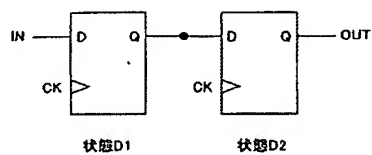
【図2】

本発明の一実施の形態における回路構成図



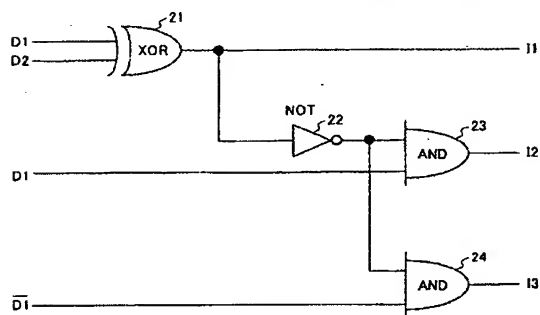
【図3】

本発明の一実施の形態におけるD-F Fの構成図



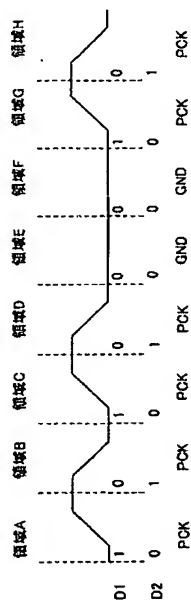
【図4】

本発明の一実施の形態におけるD-F FのD1, D2よりI1, I2, I3を生成する組み合わせ論理回路の構成図



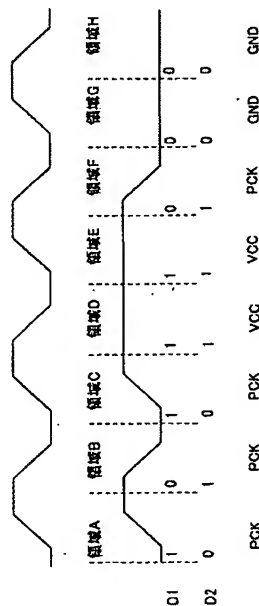
【図6】

本発明の一実施の形態における異なるデータを送信する場合の動作例



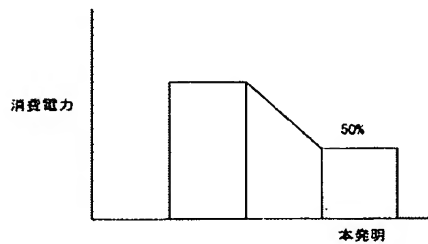
【図5】

本発明の一実施の形態における動作を説明するための図



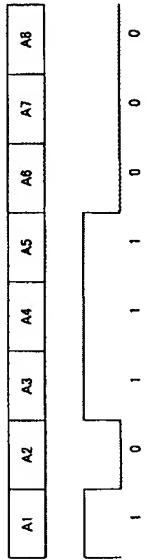
【図7】

本発明の回路と従来の方式の対比を示す図



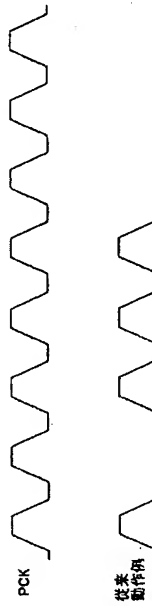
【図8】

CMOS論理の信号線の充放電の動作例



【図9】

電荷再利用型電源を用いた動作例



【図10】

従来の方式の回路構成図

